

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

CLAIMS

---

[Claim(s)]

[Claim 1] It is the semiconductor device with which an electrode is formed and it comes to form said electrode in the side which it had two or more semiconductor chips which it comes to put, and said 2nd semiconductor chip protruded the part into the outside of said 1st semiconductor chip, was carried in it including the 2nd semiconductor chip with which said two or more semiconductor chips were carried in the 1st semiconductor chip and said 1st semiconductor chip, and was protruded from said 1st semiconductor chip.

[Claim 2] It is the semiconductor device which it comes to project on the outside of said 1st semiconductor chip in the direction which said electrode of said 1st semiconductor chip is formed in an edge, and said 2nd semiconductor chip avoids said electrode in a semiconductor device according to claim 1 to the field in which said electrode in said 1st semiconductor chip was formed, is carried, and separates from said electrode of said 1st semiconductor chip.

[Claim 3] It is the semiconductor device which said electrode of nothing and said 1st semiconductor chip is formed for the appearance of said 1st semiconductor chip together with one side of said 1st semiconductor chip in a semiconductor device according to claim 2 in a rectangle, and comes to project said 2nd semiconductor chip outside across the side which counters said one side of said 1st semiconductor chip.

[Claim 4] It is the semiconductor device which said electrode of nothing and said 1st semiconductor chip is formed in a semiconductor device according to claim 2 together with two sides which, as for the appearance of said 1st semiconductor chip, said 1st semiconductor chip adjoins in a rectangle, and comes to project said 2nd semiconductor chip outside exceeding other two sides which counter said two sides of said 1st semiconductor chip.

[Claim 5] The semiconductor device to which it comes to connect said electrode and said lead electrically including the lead arranged at the side to which said electrode of said

1st or 2nd semiconductor chip is located in a line with either of claim 1 to claims 4 in the semiconductor device of a publication.

[Claim 6] The semiconductor device to which direct or electric conduction material comes to connect said electrode and said lead electrically in a semiconductor device according to claim 5.

[Claim 7] The circuit board by which the semiconductor device of a publication was carried in either of claim 1 to claims 6.

[Claim 8] Electronic equipment which has the semiconductor device of a publication in either of claim 1 to claims 6.

---

---

#### DETAILED DESCRIPTION

---

##### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device, the circuit board, and electronic equipment.

[0002]

[Background of the Invention] As one gestalt of the semiconductor device which realized high density assembly, the semiconductor device of the stack structure which accumulated two or more semiconductor chips is known. For example, the electrode with which two or more accumulated semiconductor chips were formed in the peripheral edge section of each semiconductor chip is electrically connected to a wiring substrate by the wire.

[0003] However, when electrical installation with a wire was taken into consideration, the electrode had to be avoided, the semiconductor chip needed to be accumulated and the appearance of a semiconductor chip had to be smaller than another side which becomes the side which carries, while is set and carried. That is, the magnitude of the semiconductor chip carried in the bottom had a limit.

[0004] Moreover, in this case, in each semiconductor chip by which the laminating was carried out up and down, since the wire overlapped superficially, the wire of an upper semiconductor chip needed to be formed for a long time highly. This had the case where it became the evil of the miniaturization of a semiconductor device, and densification.

[0005] This invention solves this trouble, and that purpose is not restricted to the appearance of a semiconductor chip, and is to offer the semiconductor device, the circuit board, and electronic equipment which can plan electrical installation suitably.

[0006]

[Means for Solving the Problem] (1) An electrode is formed, the semiconductor device concerning this invention has two or more semiconductor chips which it comes to put, including the 2nd semiconductor chip with which said two or more semiconductor chips were carried in the 1st semiconductor chip and said 1st semiconductor chip, said 2nd semiconductor chip protrudes a part into the outside of said 1st semiconductor chip, and is carried in it, and it comes to form said electrode in the side protruded from said 1st semiconductor chip.

[0007] According to this invention, since an electrode is formed in the side protruded from the 1st semiconductor chip, the 2nd semiconductor chip does not overlap a wire superficially in two semiconductor chips by which the laminating was carried out directly up and down, when a wire is connected to an electrode, for example. By this, without making it contact mutually, it can connect with an electrode and each wire can be prepared. Furthermore, when an electrode and the circuit pattern of a substrate are connected with a wire when the electrode of the 2nd semiconductor chip is formed in the part protruded from the 1st semiconductor chip for example, a wire can be superficially formed by the minimum distance.

[0008] Moreover, since it is overflowed and carried in the outside of the 1st semiconductor chip, the 2nd semiconductor chip can be carried, without being restricted to the magnitude of the appearance of the 1st semiconductor chip. By this, the semiconductor device with which two or more semiconductor chips of the same size were accumulated can be offered.

[0009] In addition, by this invention, two or more semiconductor chips may be the numbers not only two but beyond it, and the 1st and 2nd semiconductor chips show two of the arbitration of two or more semiconductor chips.

[0010] (2) In this semiconductor device, it is formed in an edge, and said 2nd semiconductor chip avoids said electrode to the field in which said electrode in said 1st semiconductor chip was formed, and is carried in it, and said electrode of said 1st semiconductor chip may be projected in the direction which separates from said electrode of said 1st semiconductor chip on the outside of said 1st semiconductor chip.

[0011] According to this, the 2nd semiconductor chip is not restricted to the magnitude of the appearance of the 1st semiconductor chip, and can expose the electrode of the 1st semiconductor chip.

[0012] (3) In this semiconductor device, said electrode of nothing and said 1st semiconductor chip is formed for the appearance of said 1st semiconductor chip together with one side of said 1st semiconductor chip in a rectangle, and said 2nd semiconductor

chip may be projected outside across the side which counters said one side of said 1st semiconductor chip.

[0013] According to this, the 2nd semiconductor chip is accumulated in the condition of having made large the part with the 1st semiconductor chip which laps superficially, and having been stabilized.

[0014] (4) In this semiconductor device, said electrode of nothing and said 1st semiconductor chip is formed together with two sides which, as for the appearance of said 1st semiconductor chip, said 1st semiconductor chip adjoins in a rectangle, and said 2nd semiconductor chip may be projected outside exceeding other two sides which counter said two sides of said 1st semiconductor chip.

[0015] According to this, even if there are many electrodes of each semiconductor chip, by avoiding two sides which the 1st semiconductor chip adjoins, the 2nd semiconductor chip is protruded from the 1st semiconductor chip, and can be carried.

[0016] (5) In this semiconductor device, said electrode and said lead may be electrically connected including the lead arranged at the side with which said electrode of said 1st or 2nd semiconductor chip is located in a line.

[0017] (6) Said electrode and said lead may be electrically connected by direct or electric conduction material.

[0018] (7) It comes to carry the above-mentioned semiconductor device in the circuit board concerning this invention.

[0019] (8) The electronic equipment concerning this invention has the above-mentioned semiconductor device.

[0020].

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained with reference to a drawing. However, this invention is not limited to the gestalt of the following operations.

[0021] (Gestalt of the 1st operation) Drawing 1 and drawing 2 are drawings for explaining the semiconductor device concerning the gestalt of this operation. A semiconductor device has two or more semiconductor chips which it comes to put. Two or more semiconductor chips contain the 1st and 2nd semiconductor chips 10 and 20. Here, two or more semiconductor chips may be the numbers not only two but beyond it, and the 1st and 2nd semiconductor chips show two of the arbitration by which the laminating was carried out up and down among two or more semiconductor chips.

[0022] Each semiconductor chip is a flash memory, SRAM, DRAM and ASIC, or MPU. As a combination of two or more semiconductor chips, there are ASIC, a flash memory, SRAM, DRAMs or a flash memory, SRAM, etc., for example. In addition, the

combination of the function of each semiconductor chip and two or more semiconductor chips is not limited to \*\*\*\*.

[0023] As shown in drawing 1, the 2nd semiconductor chip 20 is carried in the 1st semiconductor chip 10. Although the 1st semiconductor chip 10 makes a rectangle (a rectangle or a square is included) in many cases, it is not limited to this. Moreover, in the field where the field in which the integrated circuit was formed is opposite, you may come to carry out grinding of the 1st semiconductor chip 10 thinly.

[0024] The 1st semiconductor chip 10 has one or more electrodes 12 in one field (field in which the integrated circuit was formed). The electrode 12 is thinly formed in Taira and others with aluminum or copper at the 1st semiconductor chip 10. The flat-surface configuration of an electrode 12 may be a rectangle or a round shape, and the configuration is not limited. An electrode 12 is formed in the 1st center section or edge of a semiconductor chip 10. An electrode 12 may be formed together with one side of the 1st semiconductor chip 10 in one train so that it may illustrate. Or it may be formed in the 1st edge or center section of the semiconductor chip 10 together with two or more trains, or may be formed alternately.

[0025] A protective coat (not shown) may be formed in the near field where the electrode 12 was formed in the 1st semiconductor chip 10. In the front face of each electrode 12, a protective coat exposes a center section, covers an edge and is formed. A protective coat is an electric insulator layer. A protective coat may be common passivation film. A protective coat can be formed with SiO<sub>2</sub>, SiN, or polyimide resin.

[0026] The 2nd semiconductor chip 20 may be the same gestalt (for example, arrangement of a configuration and an electrode) as the 1st semiconductor chip 10 so that it may illustrate. According to the gestalt of this operation, the laminating of two or more semiconductor chips which have the same gestalt can be carried out. Or the 2nd semiconductor chip 20 may have a different gestalt from the 1st semiconductor chip 10. For example, the 2nd semiconductor chip 20 may be large, or may be smaller than the appearance of the 1st semiconductor chip 10.

[0027] The 2nd semiconductor chip 20 protrudes a part into the outside of the 1st semiconductor chip 10, and is carried in it. For example, the 2nd semiconductor chip 20 is the field of the 1st semiconductor chip 10, and may be carried in the location which carried out the parallel displacement in the direction of either superficially from the core.

[0028] In the example to illustrate, the 2nd semiconductor chip 20 is projected on the outside of the 1st semiconductor chip 10 across the side in the 1st semiconductor chip 10 which counters one side with which an electrode 12 is located in a line. That is, the 2nd

semiconductor chip 20 is the field of the 1st semiconductor chip 10, and is carried in the location which carried out the parallel displacement from the core in the direction which separates from the electrode 12 of the 1st semiconductor chip 10. For example, when the 1st and 2nd semiconductor chips 10 and 20 are the same size, as for the 2nd semiconductor chip 20, only the surface integral exposed superficially projects the front face of the 1st semiconductor chip 10 on the outside of the 1st semiconductor chip 10. In other words, the 1st and 2nd semiconductor chips 10 and 20 are making the stairway configuration to the side which counters an electrode 12 side or an electrode 12.

[0029] According to this, since the 1st semiconductor chip 10 is overflowed, the 2nd semiconductor chip 20 is carried, without being restricted to the magnitude of the appearance of the 1st semiconductor chip 10. That is, the appearance of the 2nd semiconductor chip 20 does not need to be smaller than the 1st semiconductor chip. According to this, there is an advantage that the gestalt of the combination of the semiconductor chip accumulated up and down spreads.

[0030] The 2nd semiconductor chip 20 may be carried in the field in which the electrode 12 in the 1st semiconductor chip 10 was formed. In this case, the 2nd semiconductor chip 20 avoids the electrode 12 in the 1st semiconductor chip 10, and is carried. By avoiding the electrode 12 of the 1st semiconductor chip 10, a wire is connectable with an electrode 12.

[0031] As for the electrode 12 of the 1st semiconductor chip 10, like the example to illustrate, it is desirable to be formed in an edge (for example, field in alignment with one side). According to this, since the 2nd semiconductor chip 20 should just avoid the electrode 12 formed in the edge in the 1st semiconductor chip 10, it can make large the part with the 1st semiconductor chip 10 which laps superficially. That is, the 2nd semiconductor chip 20 is fixable on the 1st semiconductor chip 10 in the condition of having been stabilized. By this, wirebonding of the pressures (supersonic vibration etc.) can be certainly applied and carried out to the electrode 22 of the 2nd semiconductor chip 20, for example.

[0032] The 2nd semiconductor chip 20 makes a field opposite to the field in which the electrode 22 was formed counter the 1st semiconductor chip 10, and may be carried so that it may illustrate. Or the 2nd semiconductor chip 20 makes the field in which the electrode 22 was formed counter, and may be carried in the 1st semiconductor chip 10. In the case of the latter, an electrode 22 may be arranged in the field which exposes the 2nd semiconductor chip 20 from the 1st semiconductor chip 10.

[0033] The 2nd semiconductor chip 20 has an electrode 22 in the side protruded from the 1st semiconductor chip 10 at least. When the 1st semiconductor chip 10 has an

electrode 12 in one side, the 2nd semiconductor chip 20 may have an electrode 22 in the side protruded into other either of three sides in the 1st semiconductor chip 10. For example, an electrode 22 may be formed in the side which projects in the opposite side when the 2nd semiconductor chip 20 avoids the electrode 12 of the 1st semiconductor chip 10. In addition, the 2nd semiconductor chip 20 may be formed in the part which may be formed only in the part protruded from the 1st semiconductor chip 10, or laps with the 1st semiconductor chip 10 in addition to it.

[0034] According to this, when a wire is connected to an electrode 12 and an electrode 22, in the 1st and 2nd semiconductor chips 10 and 20 which come to carry out a laminating up and down, a wire is not overlapped superficially. That is, two wires of each other which extend, respectively and are formed from the field of the 1st and 2nd semiconductor chips 10 and 20 with which height differs can be made non-contact in the height direction. It is not necessary to form the configuration of the loop formation for the wire linked to the electrode 22 of the 2nd semiconductor chip 20 highly, and to lengthen wire length further by this. Therefore, it is small and the semiconductor device which realized improvement in the speed of a signal can be offered.

[0035] Furthermore, when the electrode 22 of the 2nd semiconductor chip 20 is formed in the part protruded from the 1st semiconductor chip 10, for example, when connecting an electrode 22 and the circuit pattern of a substrate with a wire, superficially, an electrode 22 is brought close to a circuit pattern, and a wire can be formed by the minimum distance.

[0036] The semiconductor chip of further others may be accumulated on the 2nd semiconductor chip 20 (refer to drawing 2). Other semiconductor chips furthermore accumulated may be carried in the 2nd semiconductor chip 20 so that the 2nd semiconductor chip 20 may be accumulated on the 1st semiconductor chip 10. in this case -- said -- others -- the gestalt of the arbitration containing a semiconductor chip above-mentioned [ two ] is applicable as the 1st and 2nd semiconductor chips 10 and 20.

[0037] Drawing 2 is drawing showing an example of the semiconductor device concerning the gestalt of this operation. In detail, drawing 2 shows the sectional view of a semiconductor device. A semiconductor device 1 contains two or more semiconductor chips 10, 20, 30, and 40. Two or more semiconductor chips 10-40 can be used as the 1st and 2nd semiconductor chips of the arbitration by which the laminating was carried out up and down above-mentioned [ two ].

[0038] A semiconductor device 1 contains further two or more leads 50 and the resin 52 which closes semiconductor chips 10-40. The gestalt applied to the package using leadframes, such as QFP (Quad Flat Package), as an example of the semiconductor

device concerning the gestalt of this operation is mentioned.

[0039] the laminating of two or more semiconductor chips 10-40 was carried out up and down -- the laminating is carried out as superficially lapped in two in a part. Each semiconductor chip 10-40 may be pasted up with adhesives 54. Adhesives 54 are formed in the rear face (the side in which the electrode was formed is the field of the opposite side) of the near semiconductor chip to carry, and may be protruded from the near semiconductor chip with which itself is carried so that it may illustrate. Adhesives 54 may be insulating things. Moreover, adhesives 54 may be paste-like or may be film-like things. In addition, especially the property and gestalt of adhesives 54 are not limited.

[0040] From the bottom, the 3rd one semiconductor chip 30 may be flown and may lap with the bottom semiconductor chip 10 superficially. That is, to the semiconductor chip 20 for which it comes to the bottom of direct, a semiconductor chip 30 protrudes a part, is carried, to the semiconductor chip 10 flown one, laps superficially and may be carried. According to this, the semiconductor device and flat-surface area which come to carry out the laminating of the two semiconductor chips can be made the same, and the laminating of the three or more semiconductor chips can be carried out. Therefore, a small semiconductor device can be offered. In addition, from the bottom, the 4th one semiconductor chip (top) 40 may be flown, you may lap with the bottom to the 2nd semiconductor chip 20 superficially, and other semiconductor chips may be accumulated same further on a semiconductor chip 40.

[0041] The lead 50 is electrically connected with the electrodes 12, 22, 32, and 42 of each semiconductor chip 10-40. Lead 50 may be electrically connected with electrodes 12-42 by wires 14, 24, 34, and 44. In detail, lead 50 has a connection 56 and wires 14-44 are connected to a connection 56. Wires 14-44 are formed with the ingredient containing gold in many cases. Moreover, lead 50 may be formed with the ingredient containing copper. Especially as for the lead 50, plating may be performed to a connection 56. Lead 50 may be a part of leadframe. In this case, a connection 56 may call an inner lead.

[0042] The electrode is formed in the side protruded, respectively in two semiconductor chips with which the laminating of two or more semiconductor chips 10-40 is carried out up and down. In detail, an electrode is formed in the side into which each semiconductor chip 20-40 overflowed the semiconductor chip for which it comes downward. When an electrode is especially located in a line with one side of each semiconductor chip 10-40, the electrodes 12-42 of each semiconductor chip 10-40 may be formed in the side which counters it by turns an one-side side. According to this, in the semiconductor chip (for example, semiconductor chips 10 and 20) which comes to carry out a laminating up and down directly, since a wire (for example, wires 14 and 24) is not overlapped superficially,

contact of the wire in the height direction can be prevented. Moreover, since superficial distance of electrodes 12-42, the connection 56 of lead 50, and \*\* can be shortened, wire length can be shortened.

[0043] The electrodes 12-42 of semiconductor chips 10-40 overlap either of two or more leads 50, and may be connected electrically. For example, either of two or more electrodes 12 which can be set to a semiconductor chip 10, and either of two or more electrodes 32 of a semiconductor chip 30 may be electrically connected with the same lead 50. When it has especially the circuit structure where two or more semiconductor chips 10-40 are the same, the same lead 50 and electric connection can be aimed at to each semiconductor chip 10-40. For example, when two or more semiconductor chips 10-40 are memory, it becomes easy with the same lead 50 to share-size an address terminal and a data terminal. In detail, informational read-out or informational writing can be performed to the memory cell of the same address of each semiconductor chip 10-40 from the same lead 50.

[0044] Furthermore, according to the gestalt of this operation, it is possible to accumulate the semiconductor chip of the same size. Therefore, the semiconductor device which has mass memory, for example can be offered, without being restricted to the constraint at the time of a design.

[0045] The closure of two or more semiconductor chips 10-40 is carried out with resin 52. Resin 52 can be cast using metal mold. Resin 52 may call resin 52 mold resin, when metal mold is used.

[0046] Lead 50 projects from the field by which the closure was carried out by resin 52. The part which projects from the resin 52 in lead 50 may be projected from two sides which counter in the plane view of the field which comes to carry out the closure by resin 52, or may be projected from four sides. The part which projects from the resin 52 in lead 50 is fabricated by the predetermined configuration. In addition, the part which projects from the resin 52 in lead 50 may be called an outer lead.

[0047] According to the semiconductor device concerning the gestalt of this operation, the 2nd semiconductor chip (for example, semiconductor chip 20) Since an electrode 22 is formed in the side protruded from the 1st semiconductor chip (for example, semiconductor chip 10) For example, when wires 14 and 24 are connected to electrodes 12 and 22, in two semiconductor chips 10 and 20 by which the laminating was carried out directly up and down, wires 14 and 24 are not overlapped superficially. By this, without making it contact mutually, it can connect with electrodes 12 and 22 and each wire 14 and 24 can be formed.

[0048] Moreover, since it is overflowed and carried in the outside of the 1st

semiconductor chip 10, the 2nd semiconductor chip 20 can be carried, without being restricted to the magnitude of the appearance of the 1st semiconductor chip 10. By this, the semiconductor device with which two or more semiconductor chips 10-40 of the same size were accumulated can be offered.

[0049] (Gestalt of the 2nd operation) Drawing 3 and drawing 4 are drawings for explaining the semiconductor device concerning the gestalt of this operation. In addition, also in the gestalt of operation shown below, the contents explained with the gestalt of the 1st operation are applicable as much as possible. With the gestalt of this operation, the gestalt of the 1st and 2nd semiconductor chips 60 and 70 which come to carry out a laminating up and down differs from \*\*\*\*.

[0050] The 1st semiconductor chip 60 makes a rectangle. The electrode 62 in the 1st semiconductor chip 60 is formed together with two adjacent sides. An electrode 62 may also be located in a line with one train so that it may illustrate, or it may also be located in a line with two or more trains. Or an electrode 62 may be formed alternately. Moreover, the list of an electrode 62 may be irregular-like regularly or.

[0051] The 2nd semiconductor chip 70 is projected on the outside of the 1st semiconductor chip 60 exceeding other two sides which counter two sides in which the electrode 62 in the 1st semiconductor chip 60 was formed. Since the field avoided from the 1st semiconductor chip 60 is a field of two sides where the 1st semiconductor chip 60 which makes a rectangle adjoins each other, the 2nd semiconductor chip 70 can avoid all the electrodes 62. According to this, it is effective when there are many electrodes 62 of the 1st semiconductor chip 60. Therefore, the semiconductor device of high density can be offered.

[0052] The 2nd semiconductor chip 70 may be the same as that of the gestalt of the 1st semiconductor chip 60. That is, the electrode 72 of the 2nd semiconductor chip 70 may be formed together with two sides which the 2nd semiconductor chip 70 which makes a rectangle adjoins. In this case, the electrode 72 of the 2nd semiconductor chip 70 is formed together with two sides which are different in two sides with which the electrode 62 of the 1st semiconductor chip 60 is located in a line.

[0053] According to the gestalt of this operation, even if it is a case with many electrodes 62 and 72, since the 2nd semiconductor chip 70 can protrude and carry a part from the 1st semiconductor chip 60, it can offer the semiconductor device of high density.

[0054] Drawing 4 is drawing showing an example of the semiconductor device concerning the gestalt of this operation. In detail, drawing 4 shows the sectional view of a semiconductor device. A semiconductor device 2 contains two or more semiconductor chips 60, 70, 80, and 90. Two or more semiconductor chips 60-90 can be used as two

above-mentioned semiconductor chips, the 1st and the 2nd, of the arbitration by which the laminating was carried out up and down.

[0055] A semiconductor device 2 contains a substrate 100 and the resin 52 which closes two or more semiconductor chips. With the gestalt of this operation, a mounting gestalt (package gestalt) differs from the gestalt of above-mentioned operation. The gestalt applied to the package using substrates (INTAPOZA), such as BGA (Ball Grid Array) or CSP (Chip Scale/Size Package), as an example of the semiconductor device concerning the gestalt of this operation is mentioned.

[0056] the laminating of two or more semiconductor chips 60-90 was carried out up and down -- the laminating is carried out as superficially lapped in two in a part. one either of the semiconductor chips 60-90 flies and comes out, it laps with other semiconductor chips and flat-surface targets, and a laminating may be carried out.

[0057] The electrode (for example, electrode 72) is formed in the side which protruded one of semiconductor chips (for example, semiconductor chip 70) from the semiconductor chip (for example, semiconductor chip 60) for which it comes downward. When it has electrodes 62, 72, 82, and 92 in two sides which two or more semiconductor chips 60-90 adjoin, the electrodes 62-92 of each semiconductor chip 60-90 may be formed in the side which counters it by turns an adjacent two-side side. According to this, in the height direction which accumulates a semiconductor chip, contact of wires 64, 74, 84, and 94 can be prevented.

[0058] Although the laminating gestalt of the semiconductor chip shown until now is a gestalt which carries out the laminating of the semiconductor chip of the same structure, it may carry out the laminating of two or more semiconductor chips of different structure apart from this. For example, the laminating of the semiconductor chip (for example, the 2nd semiconductor chip 70) which has the electrode located in a line with two sides which adjoin each other on the semiconductor chip (for example, the 1st semiconductor chip 10) which has the electrode located in a line with one side may be carried out. Or the laminating of the semiconductor chip (for example, the 2nd semiconductor chip 20) which has the electrode located in a line at one side on the semiconductor chip (for example, the 1st semiconductor chip 60) which has the electrode located in a line with two adjacent sides may be carried out. Moreover, two or more semiconductor chips which come to carry out a laminating should just have at least one combination (one or all) of the up-and-down semiconductor chip with which an electrode comes to rank with the side protruded from the lower semiconductor chip.

[0059] A substrate 100 is formed of an organic system, inorganic systems, or these compounds in many cases. As an example of a substrate 100, you may be the flexible

substrate which consists of polyimide resin, or may be things, such as a ceramic, glass, or glass epoxy. In addition, a multilayer substrate and a build up mold substrate may be used as a substrate 100.

[0060] The lead is formed in the substrate 100. In this case, a lead may be a circuit pattern 102. A circuit pattern 102 is electrically connected with the electrodes 62-92 of each semiconductor chip 60-90 by wires 64, 74, 84, and 94. In detail, wires 64-94 are connected with the connection 104 of a circuit pattern 102. A connection 104 may be the so-called land with an area larger than wiring connected there.

[0061] A semiconductor device 2 may have the external terminal 106. In the example shown in drawing 4, the ball-like bump is formed as an external terminal 106. The external terminal 106 may be for example, a pewter ball. By taking about and forming in predetermined arrangement the circuit pattern 102 electrically connected with two or more semiconductor chips, the external terminal 106 can be formed in the field in a substrate 100 which spreads two-dimensional. That is, the pitch of the external terminal 106 of a semiconductor device can be changed, for example, loading to the circuit board (mother board) can be performed easily.

[0062] It extends in some circuit patterns 102 of a substrate 100, and you may make it aim at external connection from there as a gestalt of others of the external terminal 106. Some circuit patterns 102 may be considered as the lead of a connector, or a connector may be mounted on a substrate 100. Furthermore, the pewter cream which does not form the external terminal 106 positively but is applied to a circuit board side at the time of mounting to the circuit board may be used, and an external terminal may be formed as a result with the surface tension at the time of the melting. The semiconductor device is the so-called land grid array type of semiconductor device. In addition, the same effectiveness as \*\*\*\* can be acquired also in the gestalt of this operation.

[0063] In the example of a publication, although the example which connects an electrode and a lead through a wire (electric conduction material) was shown, an electrode and a lead may be connected electrically directly until now. For example, this invention may be applied to the semiconductor device manufactured by the TAB technique. In the example shown in drawing 4, semiconductor chips 10 and 20 are arranged in the device hole 116 of a substrate 110, and the part (inner lead 114) and electrodes 12 and 22 of lead 112 which project inside the device hole 116 are connected directly. Semiconductor chips 10 and 20 turn to the direction as the field which has the lead 112 in a substrate 110 where the field which has electrodes 12 and 22 is the same, and are arranged in many cases. According to the height of the field of the

semiconductor chips 10 and 20 by which the laminating was carried out, a point may be crooked so that lead 112 may be illustrated.

[0064] The bump who does not illustrate between electrodes 12 and 22 and an inner lead 114 may intervene. moreover, it can set to lead 112 -- the inner lead 114 at least may be plated. For example; eutectic bonding may be carried out to resemble an electrode 12, the golden bump (bump which a front face becomes from gold at least) formed on 22, and tinning of an inner lead 114. Or thermocompression bonding may be carried out to resemble an electrode 12, the golden bump on 22, and gold plate of an inner lead 114, and both may be joined.

[0065] The circuit board 200 which mounted the semiconductor device 2 concerning the gestalt of above-mentioned operation in drawing 6 is shown. It is common to the circuit board 200 to use organic system substrates, such as for example, a glass epoxy group plate. Those electric flows are aimed at by being formed so that the circuit pattern which becomes the circuit board 200 from copper etc. may serve as a desired circuit, and connecting mechanically those circuit patterns and external terminals 106 of a semiconductor device 2.

[0066] In addition, two or more semiconductor chips may be directly carried in the circuit board 200 with an above-mentioned gestalt. Also in the so-called bare chip mounting, this invention can be applied, and the same effectiveness as \*\*\*\* can be acquired.

[0067] And the cellular phone 220 is shown in the note type personal computer 210 and drawing 8 at drawing 7 as electronic equipment which has the semiconductor device which applied this invention.

---

---

#### DESCRIPTION OF DRAWINGS

---

---

##### [Brief Description of the Drawings]

Drawing 1 Drawing 1 is drawing for explaining the semiconductor device concerning the gestalt of the 1st operation which applied this invention.

Drawing 2 Drawing 2 is drawing showing an example of the semiconductor device concerning the gestalt of the 1st operation which applied this invention.

Drawing 3 Drawing 3 is drawing for explaining the semiconductor device concerning the gestalt of the 2nd operation which applied this invention.

Drawing 4 Drawing 4 is drawing showing an example of the semiconductor device

concerning the gestalt of the 2nd operation which applied this invention.

[Drawing 5] Drawing 5 is drawing showing an example of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 6] Drawing 6 is drawing showing the circuit board in which the semiconductor device concerning the gestalt of the operation which applied this invention was mounted.

[Drawing 7] Drawing 7 is drawing showing the electronic equipment which has a semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 8] Drawing 8 is drawing showing the electronic equipment which has a semiconductor device concerning the gestalt of the operation which applied this invention.

[Description of Notations]

10 Semiconductor Chip (1st Semiconductor Chip)

12 Electrode

20 Semiconductor Chip (2nd Semiconductor Chip)

22 Electrode

30 Semiconductor Chip

32 Electrode

40 Semiconductor Chip

42 Electrode

50 Lead

60 Semiconductor Chip (1st Semiconductor Chip)

62 Electrode

70 Semiconductor Chip (2nd Semiconductor Chip)

72 Electrode

80 Semiconductor Chip

82 Electrode

90 Semiconductor Chip

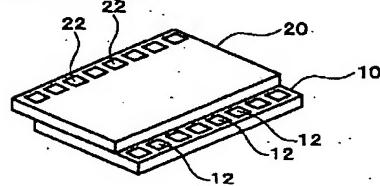
92 Electrode

112 Lead

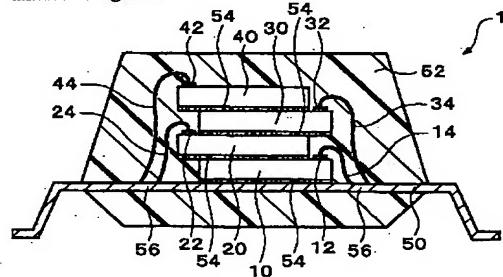
---

## DRAWINGS

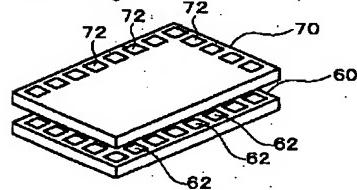
## [Drawing 1]



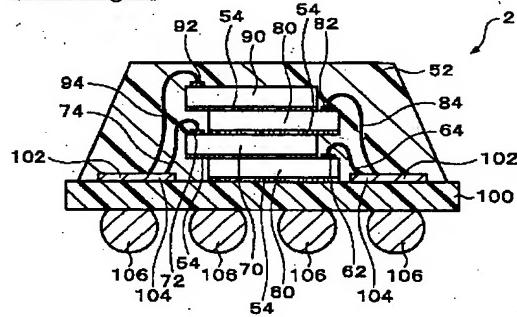
## [Drawing 2]



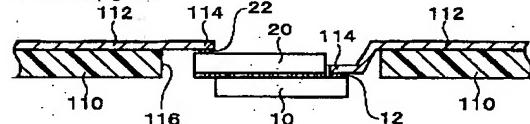
## [Drawing 3]



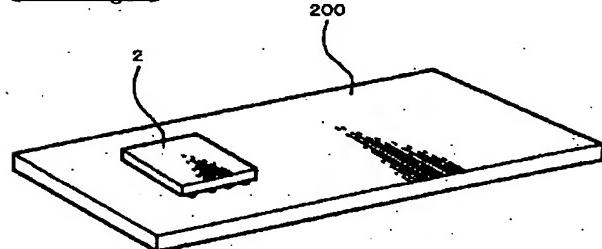
## [Drawing 4]



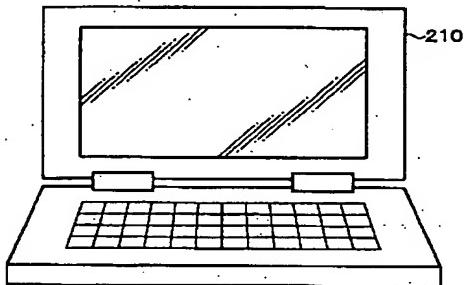
## [Drawing 5]



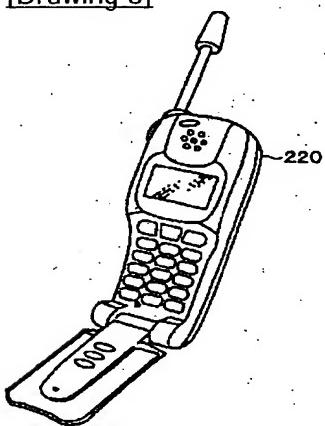
## [Drawing 6]



## [Drawing 7]



[Drawing 8]



---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33442

(P2002-33442A)

(43)公開日 平成14年1月31日 (2002.1.31)

(51)Int.Cl.<sup>7</sup>

H 01 L 25/065  
25/07  
25/18  
23/12

識別記号

5 0 1

F I

H 01 L 23/12  
25/08

テマコード(参考)

5 0 1 V  
5 0 1 W

Z

審査請求 未請求 請求項の数8 O.L (全 8 頁)

(21)出願番号 特願2000-216870(P2000-216870)

(22)出願日 平成12年7月18日 (2000.7.18)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 桜井 和徳

長野県飯田市大和3丁目3番5号 セイコ  
エプソン株式会社内

(74)代理人 100090479

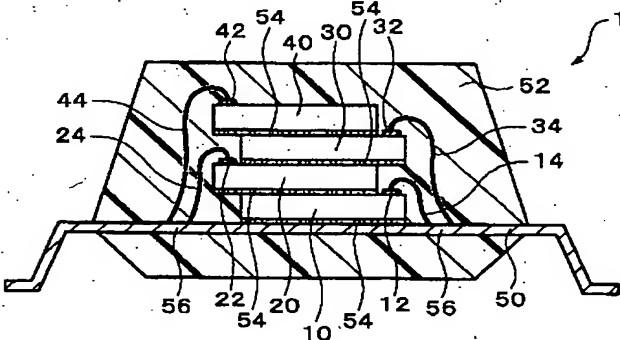
弁理士 井上 一 (外2名)

(54)【発明の名称】 半導体装置、回路基板及び電子機器

(57)【要約】

【課題】 半導体チップの外形に制限されず、かつ、好適に電気的接続を図れる半導体装置、回路基板及び電子機器を提供することにある。

【解決手段】 半導体装置は、電極12、22、32、42が形成され、積み重ねられてなる複数の半導体チップ10、20、30、40を有し、前記複数の半導体チップ10～40は、第1の半導体チップ20と、前記第1の半導体チップ10に搭載された第2の半導体チップ20と、を含み、前記第2の半導体チップ20は、前記第1の半導体チップ10の外側に一部をはみ出して搭載され、前記第1の半導体チップ10からはみ出した側に前記電極22が形成されてなる。



1

## 【特許請求の範囲】

【請求項1】 電極が形成され、積み重ねられてなる複数の半導体チップを有し、前記複数の半導体チップは、第1の半導体チップと、前記第1の半導体チップに搭載された第2の半導体チップと、を含み、前記第2の半導体チップは、前記第1の半導体チップの外側に一部をはみ出して搭載され、前記第1の半導体チップからはみ出した側に前記電極が形成されてなる半導体装置。

【請求項2】 請求項1記載の半導体装置において、10

前記第1の半導体チップの前記電極は、端部に形成され、

前記第2の半導体チップは、前記第1の半導体チップにおける前記電極が形成された面に前記電極を避けて搭載され、前記第1の半導体チップの前記電極から離れる方向に前記第1の半導体チップの外側に突出してなる半導体装置。

【請求項3】 請求項2記載の半導体装置において、20

前記第1の半導体チップの外形は矩形をなし、

前記第1の半導体チップの前記電極は、前記第1の半導体チップの1辺に並んで形成され、

前記第2の半導体チップは、前記第1の半導体チップの前記1辺に対向する辺を超えて外側に突出してなる半導体装置。

【請求項4】 請求項2記載の半導体装置において、30

前記第1の半導体チップの外形は矩形をなし、

前記第1の半導体チップの前記電極は、前記第1の半導体チップの隣り合う2辺に並んで形成され、

前記第2の半導体チップは、前記第1の半導体チップの前記2辺に対向する他の2辺を超えて外側に突出してなる半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、40

前記第1又は第2の半導体チップの前記電極の並ぶ側に配置されたリードを含み、前記電極と前記リードとが電気的に接続されてなる半導体装置。

【請求項6】 請求項5記載の半導体装置において、50

前記電極と前記リードとが直接あるいは導電材によって

電気的に接続されてなる半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置が搭載された回路基板。

【請求項8】 請求項1から請求項6のいずれかに記載の半導体装置を有する電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置、回路基板及び電子機器に関する。

## 【0002】

【発明の背景】 高密度実装を実現した半導体装置の一つの形態として、複数の半導体チップを積み重ねたスタッ

50

2

ク構造の半導体装置が知られている。例えば、積み重ねられた複数の半導体チップは、それぞれの半導体チップの周端部に形成された電極が、ワイヤによって配線基板に電気的に接続される。

【0003】しかし、ワイヤによる電気的接続を考慮すると、電極を避けて半導体チップを積み重ねる必要があり、半導体チップの外形は、搭載する一方において、搭載される側となる他方よりも小さくなければならなかつた。すなわち、上側に搭載する半導体チップの大きさに制限があった。

【0004】また、この場合に、上下に積層されたそれぞれの半導体チップにおいて、平面的にワイヤが重複してしまうので、上側の半導体チップのワイヤを高く、かつ、長く形成する必要があった。これは、半導体装置の小型化、高密度化の弊害となる場合があつた。

【0005】本発明はこの問題点を解決するものであり、その目的は、半導体チップの外形に制限されず、かつ、好適に電気的接続を図れる半導体装置、回路基板及び電子機器を提供することにある。

## 【0006】

【課題を解決するための手段】 (1) 本発明に係る半導体装置は、電極が形成され、積み重ねられてなる複数の半導体チップを有し、前記複数の半導体チップは、第1の半導体チップと、前記第1の半導体チップに搭載された第2の半導体チップと、を含み、前記第2の半導体チップは、前記第1の半導体チップの外側に一部をはみ出して搭載され、前記第1の半導体チップからはみ出した側に前記電極が形成されてなる。

【0007】本発明によれば、第2の半導体チップは、第1の半導体チップからはみ出した側に電極が形成されるので、例えば電極にワイヤを接続した場合に、直接的に上下に積層された2つの半導体チップにおいて、ワイヤを平面的に重複させることがない。これによって、それぞれのワイヤを互いに接触させずに、電極に接続して設けることができる。さらに、第2の半導体チップの電極が第1の半導体チップからはみ出した部分に形成されたときに、例えば電極と基板の配線パターンとをワイヤで接続した場合に、平面的に最短距離でワイヤを形成できる。

【0008】また、第2の半導体チップは、第1の半導体チップの外側にはみ出して搭載されるので、第1の半導体チップの外形の大きさに制限されずに搭載できる。これによって、例えば、同一サイズの複数の半導体チップが積み重ねられた半導体装置を提供できる。

【0009】なお、本発明では、複数の半導体チップは、2つのみならずそれ以上の数であってもよく、第1及び第2の半導体チップとは、複数の半導体チップのうちの任意の2つを示す。

【0010】(2) この半導体装置において、前記第1の半導体チップの前記電極は、端部に形成され、前記第

2の半導体チップは、前記第1の半導体チップにおける前記電極が形成された面に前記電極を避けて搭載され、前記第1の半導体チップの前記電極から離れる方向に前記第1の半導体チップの外側に突出してもよい。

【0011】これによれば、第2の半導体チップは、第1の半導体チップの外形の大きさに制限されず、かつ、第1の半導体チップの電極を露出させることができる。

【0012】(3)この半導体装置において、前記第1の半導体チップの外形は矩形をなし、前記第1の半導体チップの前記電極は、前記第1の半導体チップの1辺に並んで形成され、前記第2の半導体チップは、前記第1の半導体チップの前記1辺に対向する辺を超えて外側に突出してもよい。

【0013】これによれば、第2の半導体チップは、第1の半導体チップとの平面的に重なる部分を広くして安定した状態で積み重ねられる。

【0014】(4)この半導体装置において、前記第1の半導体チップの外形は矩形をなし、前記第1の半導体チップの前記電極は、前記第1の半導体チップの隣り合う2辺に並んで形成され、前記第2の半導体チップは、前記第1の半導体チップの前記2辺に対向する他の2辺を超えて外側に突出してもよい。

【0015】これによれば、それぞれの半導体チップの電極の数が多くても、第2の半導体チップは、第1の半導体チップの隣り合う2辺を避けることで第1の半導体チップからはみ出して搭載できる。

【0016】(5)この半導体装置において、前記第1又は第2の半導体チップの前記電極の並ぶ側に配置されたリードを含み、前記電極と前記リードとが電気的に接続されてもよい。

【0017】(6)前記電極と前記リードとが直接あるいは導電材によって電気的に接続されてもよい。

【0018】(7)本発明に係る回路基板には、上記半導体装置が搭載されてなる。

【0019】(8)本発明に係る電子機器は、上記半導体装置を有する。

【0020】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

【0021】(第1の実施の形態)図1及び図2は、本実施の形態に係る半導体装置を説明するための図である。半導体装置は、積み重ねられてなる複数の半導体チップを有する。複数の半導体チップは、第1及び第2の半導体チップ10、20を含む。ここで、複数の半導体チップは、2つのみならずそれ以上の数であってもよく、第1及び第2の半導体チップとは、複数の半導体チップのうち、上下に積層された任意の2つを示す。

【0022】各半導体チップは、例えば、フラッシュメモリ、SRAM、DRAM、ASIC又はMPUなどで

ある。複数の半導体チップの組み合わせとして、例えば、ASICとフラッシュメモリとSRAM、SRAM同士、DRAM同士、あるいはフラッシュメモリとSRAMなどがある。なお、各半導体チップの機能及び複数の半導体チップの組み合わせは、上述に限定されない。

【0023】図1に示すように、第2の半導体チップ20は、第1の半導体チップ10に搭載されている。第1の半導体チップ10は、矩形（長方形又は正方形を含む）をなすことが多いがこれに限定されない。また、第1の半導体チップ10は、集積回路が形成された面とは反対の面において、薄く研削されてなるものであってもよい。

【0024】第1の半導体チップ10は、一方の面（集積回路が形成された面）に1つ又は複数の電極12を有する。電極12は、例えばアルミニウム又は銅などで第1の半導体チップ10に薄く平らに形成されている。電極12の平面形状は、矩形又は円形であってもよく、その形状は限定されない。電極12は、第1の半導体チップ10の中央部又は端部に形成される。図示するように、電極12は、第1の半導体チップ10の1辺に1列で並んで形成されてもよい。あるいは、第1の半導体チップ10の端部又は中央部に、2列以上に並んで形成されてもよく、あるいは千鳥状に形成されてもよい。

【0025】第1の半導体チップ10には、電極12の形成された側の面に、保護膜（図示しない）が形成されてもよい。保護膜は、各電極12の表面において、中央部を露出させて端部を覆って形成される。保護膜は、電気的な絶縁膜である。保護膜は、一般的なパッセーション膜であってもよい。保護膜は、SiO<sub>2</sub>、SiN又はポリイミド樹脂などで形成することができる。

【0026】図示するように、第2の半導体チップ20は、第1の半導体チップ10と同じ形態（例えば形状及び電極の配置）であってもよい。本実施の形態によれば、同一形態を有する複数の半導体チップを積層させることができる。あるいは、第2の半導体チップ20は、第1の半導体チップ10と異なる形態を有してもよい。例えば、第2の半導体チップ20は、第1の半導体チップ10の外形よりも大きくてよく、あるいは小さくてもよい。

【0027】第2の半導体チップ20は、第1の半導体チップ10の外側に一部をはみ出して搭載される。例えば、第2の半導体チップ20は、第1の半導体チップ10の面で、中心から平面的にいざれかの方向に平行移動した位置に搭載されてもよい。

【0028】図示する例では、第2の半導体チップ20は、第1の半導体チップ10における、電極12が並ぶ1辺に対向する辺を超えて、第1の半導体チップ10の外側に突出している。すなわち、第2の半導体チップ20は、第1の半導体チップ10の面で、その中心から第1の半導体チップ10の電極12から離れる方向へ、平

行移動した位置に搭載される。例えば、第1及び第2の半導体チップ10、20が同一サイズである場合に、第2の半導体チップ20は、第1の半導体チップ10の表面を平面的に露出させた面積分だけ、第1の半導体チップ10の外側に突出する。言い換えると、第1及び第2の半導体チップ10、20は、電極12の側又は電極12に対向する側において階段形状をなしている。

【0029】これによれば、第2の半導体チップ20は、第1の半導体チップ10からはみ出るので、第1の半導体チップ10の外形の大きさに制限されずに搭載される。すなわち、第2の半導体チップ20の外形は、第1の半導体チップよりも小さい必要はない。これによれば、上下に積み重ねる半導体チップの組合せの形態が広がるという利点がある。

【0030】第2の半導体チップ20は、第1の半導体チップ10における電極12が形成された面に搭載されてもよい。この場合に、第2の半導体チップ20は、第1の半導体チップ10における電極12を避けて搭載される。第1の半導体チップ10の電極12を避けることで、電極12に例えればワイヤを接続できる。

【0031】図示する例のように、第1の半導体チップ10の電極12は、端部（例えれば1辺に沿った領域）に形成されることが好ましい。これによれば、第2の半導体チップ20は、第1の半導体チップ10における端部に形成された電極12を避けなければよいので、第1の半導体チップ10との平面的に重なる部分を広くすることができます。すなわち、第2の半導体チップ20は、安定した状態で第1の半導体チップ10上に固定できる。これによって、例えば、確実に、第2の半導体チップ20の電極22に圧力（超音波振動など）を加えてワイヤボンディングすることができる。

【0032】図示するように、第2の半導体チップ20は、電極22が形成された面とは反対の面を、第1の半導体チップ10に対向させて搭載されてもよい。あるいは、第2の半導体チップ20は、電極22が形成された面を対向させて、第1の半導体チップ10に搭載されてもよい。後者の場合には、第2の半導体チップ20は、第1の半導体チップ10から露出する面に電極22が配置されてもよい。

【0033】第2の半導体チップ20は、少なくとも第1の半導体チップ10からはみ出した側に電極22を有する。第1の半導体チップ10が1辺に電極12を有する場合には、第2の半導体チップ20は、第1の半導体チップ10における他の3辺のいずれかにはみ出す側に電極22を有してもよい。例えば、第2の半導体チップ20は、第1の半導体チップ10の電極12を避けることによって、反対側に突出する側において、電極22が形成されてもよい。なお、第2の半導体チップ20は、第1の半導体チップ10からはみ出した部分のみに形成されてもよく、あるいは、それに加えて第1の半導体チ

ップ10と重なる部分に形成されてもよい。

【0034】これによれば、電極12及び電極22にワイヤを接続した場合に、上下に積層されてなる第1及び第2の半導体チップ10、20において、ワイヤを平面的に重複させることがない。すなわち、高さの異なる第1及び第2の半導体チップ10、20の面から、それぞれ延ばして形成する2つのワイヤを、互いに高さ方向において非接触にことができる。これによって、例えば、第2の半導体チップ20の電極22に接続するワイヤを、そのループの形状を高く形成する必要がなく、さらにワイヤ長を長くする必要がない。したがって、小型で、かつ、信号の高速化を実現した半導体装置を提供できる。

【0035】さらに、第2の半導体チップ20の電極22が第1の半導体チップ10からはみ出した部分に形成されたときに、例えば電極22と基板の配線パターンとをワイヤで接続する場合に、平面的に、電極22を配線パターンに近づけて最短距離でワイヤを形成できる。

【0036】第2の半導体チップ20上にさらに他の半導体チップが積み重ねられてもよい（図2参照）。さらに積み重ねられる他の半導体チップは、第2の半導体チップ20が第1の半導体チップ10に積み重ねられるよう、第2の半導体チップ20に搭載されてもよい。この場合には、前記他の半導体チップを含む任意の2つを第1及び第2の半導体チップ10、20として、上述の形態を適用することができる。

【0037】図2は、本実施の形態に係る半導体装置の一例を示す図である。詳しくは、図2は、半導体装置の断面図を示したものである。半導体装置1は、複数の半導体チップ10、20、30、40を含む。複数の半導体チップ10～40は、上下に積層された任意の2つを上述の第1及び第2の半導体チップとすることができる。

【0038】半導体装置1は、複数のリード50と、半導体チップ10～40を封止する樹脂52と、をさらに含む。本実施の形態に係る半導体装置の一例としては、QFP（Quad Flat Package）などのリードフレームを用いたパッケージに適用した形態が挙げられる。

【0039】複数の半導体チップ10～40は、上下に積層された2つが平面的に一部において重なるように積層されている。それぞれの半導体チップ10～40は、接着剤54によって接着されていてもよい。図示するように、接着剤54は、搭載する側の半導体チップの裏面（例えれば電極が形成された側とは反対側の面）に設けられ、それ自体が搭載される側の半導体チップからはみ出してもよい。接着剤54は、絶縁性のものであってもよい。また、接着剤54は、ペースト状であってもよく、あるいはフィルム状のものであってもよい。なお、接着剤54の性質及び形態は特に限定されない。

【0040】最も下から3番目の半導体チップ30は、

7

1つ飛ばして、最も下の半導体チップ10と平面的に重なってもよい。すなわち、半導体チップ30は、直接下にくる半導体チップ20に対して一部をはみ出して搭載され、1つ飛ばした半導体チップ10に対して平面的に重なって搭載されてもよい。これによれば、2つの半導体チップを積層してなる半導体装置と平面面積を同じにして、3つ以上の半導体チップを積層することができる。したがって、小型の半導体装置を提供できる。なお、最も下から4番目（最も上）の半導体チップ40は、1つ飛ばして、最も下から2番目の半導体チップ20と平面的に重なってもよく、同じようにさらに半導体チップ40に他の半導体チップが積み重ねられてもよい。

【0041】リード50は、それぞれの半導体チップ10～40の電極12、22、32、42と電気的に接続されている。リード50は、ワイヤ14、24、34、44によって、電極12～42と電気的に接続されてもよい。詳しくは、リード50は接続部56を有し、接続部56にワイヤ14～44が接続される。ワイヤ14～44は、金を含む材料で形成されることが多い。また、リード50は、例えば銅を含む材料で形成されてもよい。リード50は、特に接続部56にメッキが施されてもよい。リード50は、例えばリードフレームの一部であってもよい。この場合に、接続部56はインナーリードと称してもよい。

【0042】複数の半導体チップ10～40は、上下に積層される2つの半導体チップにおいて、それぞれはみ出す側に電極が形成されている。詳しくは、それぞれの半導体チップ20～40は、下にくる半導体チップからはみ出た側に電極が形成される。特に、それぞれの半導体チップ10～40の1辺に電極が並ぶ場合には、それぞれの半導体チップ10～40の電極12～42は、1辺の側とそれに対向する側とに交互に形成されてもよい。これによれば、直接的に上下に積層されてなる半導体チップ（例えば半導体チップ10、20）において、ワイヤ（例えばワイヤ14、24）を平面的に重複させることがないので、高さ方向におけるワイヤの接触を防止できる。また、電極12～42と、リード50の接続部56との平面的な距離を短くすることができるので、ワイヤ長を短くできる。

【0043】半導体チップ10～40の電極12～42は、複数のリード50のうちのいずれかに重複して電気的に接続してもよい。例えば、半導体チップ10における複数の電極12のいずれかと、半導体チップ30の複数の電極32のいずれかとを、同一のリード50と電気的に接続してもよい。特に、複数の半導体チップ10～40が同一の回路構造を有するときに、それぞれの半導体チップ10～40に対して、同一のリード50と電気的な接続を図ることができる。例えば、複数の半導体チップ10～40がメモリである場合に、同一のリード50

10

20

30

40

50

8

0で、アドレス端子やデータ端子を共有化することが容易になる。詳しくは、同一のリード50から、それぞれの半導体チップ10～40の同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。

【0044】さらに、本実施の形態によれば、同一サイズの半導体チップを積み重ねることが可能である。したがって、設計時の制約に制限されることなく、例えば大容量のメモリを有する半導体装置を提供できる。

【0045】複数の半導体チップ10～40は、樹脂52によって封止されている。樹脂52は、例えば金型を使用して成型することができる。樹脂52は金型を使用した場合には、樹脂52をモールド樹脂と称してもよい。

【0046】リード50は、樹脂52で封止された領域から突出する。リード50における樹脂52から突出する部分は、樹脂52で封止されてなる領域の平面視において、対向する2辺から突出してもよく、あるいは4辺から突出してもよい。リード50における樹脂52から突出する部分は、所定の形状に成形される。なお、リード50における樹脂52から突出する部分は、アウターリードと称してもよい。

【0047】本実施の形態に係る半導体装置によれば、第2の半導体チップ（例えば半導体チップ20）は、第1の半導体チップ（例えば半導体チップ10）からはみ出した側に電極22が形成されるので、例えば電極12、22にワイヤ14、24を接続した場合に、直接的に上下に積層された2つの半導体チップ10、20において、ワイヤ14、24を平面的に重複させることがない。これによって、それぞれのワイヤ14、24を互いに接触させずに、電極12、22に接続して設けることができる。

【0048】また、第2の半導体チップ20は、第1の半導体チップ10の外側にはみ出して搭載されるので、第1の半導体チップ10の外形の大きさに制限されずに搭載できる。これによって、例えば、同一サイズの複数の半導体チップ10～40が積み重ねられた半導体装置を提供できる。

【0049】（第2の実施の形態）図3及び図4は、本実施の形態に係る半導体装置を説明するための図である。なお、以下に示す実施の形態においても、第1の実施の形態で説明した内容を可能な限り適用することができる。本実施の形態では、上下に積層されてなる第1及び第2の半導体チップ60、70の形態が上述と異なる。

【0050】第1の半導体チップ60は、矩形をなす。第1の半導体チップ60における電極62は、隣り合う2辺に並んで形成されている。電極62は、図示するように1列に並んでもよく、あるいは2列以上に並んでもよい。あるいは、電極62は、千鳥状に形成されてもよい。また、電極62の並びは、規則的であってもよく、

あるいは不規則的であってもよい。

【0051】第2の半導体チップ70は、第1の半導体チップ60における電極62が形成された2辺に対向する他の2辺を超えて、第1の半導体チップ60の外側に突出している。第1の半導体チップ60から避ける領域は、矩形をなす第1の半導体チップ60の隣り合う2辺の領域であるので、第2の半導体チップ70は、電極62の全てを避けることができる。これによれば、第1の半導体チップ60の電極62の数が多い場合に効果的である。したがって、高密度の半導体装置を提供できる。

【0052】第2の半導体チップ70は、第1の半導体チップ60の形態と同様であってもよい。すなわち、第2の半導体チップ70の電極72は、矩形をなす第2の半導体チップ70の隣り合う2辺に並んで形成されてもよい。この場合に、第2の半導体チップ70の電極72は、第1の半導体チップ60の電極62の並ぶ2辺とは異なる2辺に並んで形成される。

【0053】本実施の形態によれば、電極62、72の数が多い場合であっても、第2の半導体チップ70は、第1の半導体チップ60から一部をはみ出して搭載できるので、高密度の半導体装置を提供できる。

【0054】図4は、本実施の形態に係る半導体装置の一例を示す図である。詳しくは、図4は、半導体装置の断面図を示したものである。半導体装置2は、複数の半導体チップ60、70、80、90を含む。複数の半導体チップ60～90は、上下に積層された任意の2つの上述の第1及び第2の半導体チップとすることができます。

【0055】半導体装置2は、基板100と、複数の半導体チップを封止する樹脂52と、を含む。本実施の形態では、実装形態（パッケージ形態）が上述の実施の形態と異なる。本実施の形態に係る半導体装置の一例として、BGA (Ball Grid Array) 又はCSP (Chip Scale Package) などの基板（インターポーラ）を用いたパッケージに適用した形態が挙げられる。

【0056】複数の半導体チップ60～90は、上下に積層された2つが平面的に一部において、重なるように積層されている。半導体チップ60～90のいずれかは、1つ飛ばしで、他の半導体チップと平面的に重なって積層されてもよい。

【0057】いずれかの半導体チップ（例えば半導体チップ70）は、下に入る半導体チップ（例えば半導体チップ60）からはみ出した側に電極（例えば電極72）が形成されている。複数の半導体チップ60～90が隣り合う2辺に電極62、72、82、92を有する場合は、それぞれの半導体チップ60～90の電極62～92は、隣り合う2辺の側とそれに対向する側とに交互に形成されてもよい。これによれば、半導体チップを積み重ねる高さ方向において、ワイヤ64、74、84、94の接触を防止できる。

【0058】これまでに示した半導体チップの積層形態は、同一構造の半導体チップを積層する形態であるが、これとは別に異なる構造の複数の半導体チップを積層させてもよい。例えば、1辺に並んだ電極を有する半導体チップ（例えば第1の半導体チップ10）の上に、隣り合う2辺に並んだ電極を有する半導体チップ（例えば第2の半導体チップ70）を積層させてもよい。あるいは、隣り合う2辺に並んだ電極を有する半導体チップ（例えば第1の半導体チップ60）の上に、1辺に並んだ電極を有する半導体チップ（例えば第2の半導体チップ20）を積層させてもよい。また、積層されてなる複数の半導体チップは、下側の半導体チップからはみ出した側に電極が並んでなる上下の半導体チップの組み合わせを、少なくとも1つ（1つ又は全部）有していればよい。

【0059】基板100は、有機系、無機系又はこれらの複合によって形成されることが多い。基板100の一例として、例えばポリイミド樹脂からなるフレキシブル基板であってもよく、又はセラミック、ガラスもしくはガラスエポキシなどのものであってもよい。なお、基板100として、多層基板やビルトアップ型基板を用いてもよい。

【0060】基板100にはリードが形成されている。この場合にリードは、配線パターン102であってよい。配線パターン102は、ワイヤ64、74、84、94によって、それぞれの半導体チップ60～90の電極62～92と電気的に接続される。詳しくは、ワイヤ64～94は、配線パターン102の接続部104と接続される。接続部104は、そこに接続される配線よりも面積の広い、いわゆるランド部であってよい。

【0061】半導体装置2は、外部端子106を有してもよい。図4に示す例では、外部端子106としてボール状のバンプが形成されている。外部端子106は、例えばハンダボールであってもよい。複数の半導体チップと電気的に接続する配線パターン102を所定の配置に引き回して形成することで、外部端子106を基板100における2次元的に広がる領域に設けることができる。すなわち、半導体装置の外部端子106のピッチを変換して、例えば回路基板（マザーボード）への搭載を容易に行うことができる。

【0062】外部端子106のその他の形態として、基板100の配線パターン102の一部を延出し、そこから外部接続を図るようにしてもよい。配線パターン102の一部をコネクタのリードとしたり、コネクタを基板100上に実装してもよい。さらに、積極的に外部端子106を形成せず回路基板への実装時に回路基板側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。その半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。なお、本実施の形態においても、上述と同様の効

11

果を得ることができる。

【0063】これまでに記載の例では、電極とリードとをワイヤ（導電材）を介して接続する例を示したが、直接的に電極とリードとを電気的に接続してもよい。例えば、本発明をTAB技術によって製造される半導体装置に適用してもよい。図4に示す例では、基板110のデバイスホール116に半導体チップ10、20が配置されて、デバイスホール116の内側に突出するリード112の一部（インナーリード114）と電極12、22とが直接的に接続される。半導体チップ10、20は、電極12、22を有する面が基板110におけるリード112を有する面と同じ方向を向いて配置されることが多い。リード112は、図示するように、積層された半導体チップ10、20の面の高さに応じて、先端部が屈曲してもよい。

【0064】電極12、22とインナーリード114の間に図示しないバンプが介在してもよい。また、リード112における少なくともインナーリード114は、メッキされてもよい。例えば、電極12、22上に形成された金バンプ（少なくとも表面が金からなるバンプ）と、インナーリード114のスズメッキと、によって共晶接合されてもよい。あるいは、電極12、22上の金バンプと、インナーリード114の金メッキと、によって熱圧着されて両者が接合されてもよい。

【0065】図6には、上述の実施の形態に係る半導体装置2を実装した回路基板200が示されている。回路基板200には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板200には例えば銅などからなる配線パターンが所望の回路となるよう形成されていて、それらの配線パターンと半導体装置2の外部端子106とを機械的に接続することでこれらの電気的導通を図る。

【0066】なお、回路基板200に直接的に複数の半導体チップを上述の形態で搭載してもよい。いわゆるベアチップ実装の場合にも本発明を適用することができ、上述と同様の効果を得ることができる。

【0067】そして、本発明を適用した半導体装置を有する電子機器として、図7にはノート型パーソナルコン

12

ピュータ210、図8には携帯電話220が示されている。

#### 【図面の簡単な説明】

【図1】図1は、本発明を適用した第1の実施の形態に係る半導体装置を説明するための図である。

【図2】図2は、本発明を適用した第1の実施の形態に係る半導体装置の一例を示す図である。

【図3】図3は、本発明を適用した第2の実施の形態に係る半導体装置を説明するための図である。

【図4】図4は、本発明を適用した第2の実施の形態に係る半導体装置の一例を示す図である。

【図5】図5は、本発明を適用した実施の形態に係る半導体装置の一例を示す図である。

【図6】図6は、本発明を適用した実施の形態に係る半導体装置が実装された回路基板を示す図である。

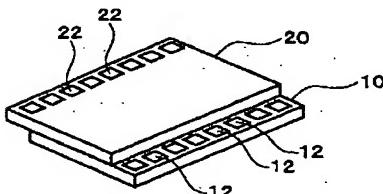
【図7】図7は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

【図8】図8は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

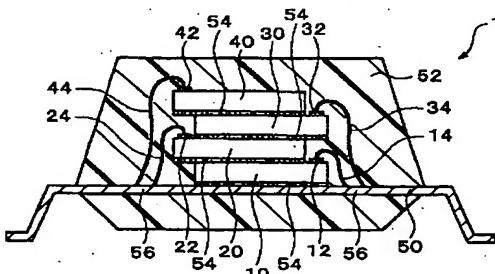
#### 【符号の説明】

- 10 半導体チップ（第1の半導体チップ）
- 12 電極
- 20 半導体チップ（第2の半導体チップ）
- 22 電極
- 30 半導体チップ
- 32 電極
- 40 半導体チップ
- 42 電極
- 50 リード
- 60 半導体チップ（第1の半導体チップ）
- 62 電極
- 70 半導体チップ（第2の半導体チップ）
- 72 電極
- 80 半導体チップ
- 82 電極
- 90 半導体チップ
- 92 電極
- 112 リード

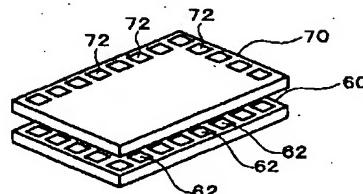
【図1】



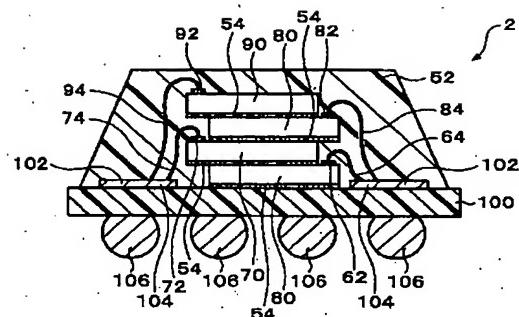
【図2】



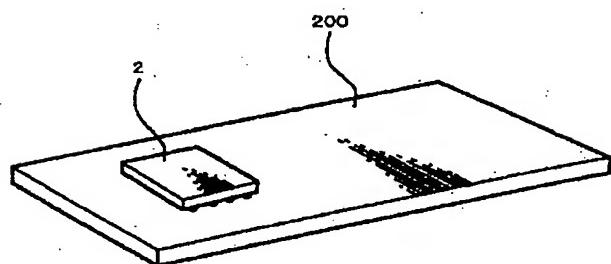
【図3】



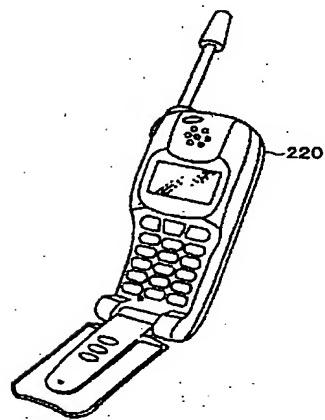
【図 4】



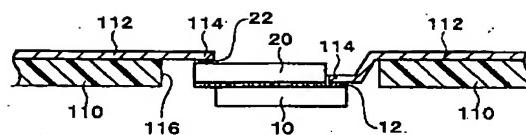
【図 6】



【図 8】



【図 5】



【図 7】

